

## XMS6301 用户手册

**一个紧凑的 FPGA 工业级集成模块 ( 85.5mm×54mm , 标准信用卡尺寸 ) , USB3.0 接口 , 256MiB 板上 DDR3 存储器 , 2 片 8MiB Flash 存储器。**

XMS6301 集成了 Xilinx Spartan-6 FPGA (XC6SLX45 或 XC6SLX150)、2Gbit(128M×16-bit) DDR3 SDRAM、2 片 64Mib SPI Flash、高效率的开关电源和 3 个引脚间距为 0.8mm 的高速板对板连接器。USB3.0 超高速接口提供高速配置下载及 PC ( 计算机 ) 与 FPGA 的高速通信, 我们的 Pionway 软件为此提供了非常便捷的传输通道。FPGA 使用一个 100MHz 低抖动的差分晶振作为时钟源。

## 版权声明

版权所有©2014-2016 北京派诺威电子科技有限公司，保留所有权利。

未经本公司明确书面许可的情况下，任何单位或个人不得对本文档的部分或全部进行摘抄、复制，并不得以任何形式进行传播。

PIONWAY、派诺威 是北京派诺威电子科技有限公司的注册商标。

本文档所涉及的其它公司、组织或个人的产品、商标、专利，除非特别声明，归各自所有人所有。

## 修订记录

修订日期	修订内容
20160901	最初版本

# 目录

<b>XMS6301 概述</b> .....	<b>3</b>
PCB 封装 .....	3
功能框图 .....	3
FPGA .....	4
电源.....	4
电源输入保护 .....	4
USB3.0 接口 .....	4
ESD 保护 .....	4
板上外设.....	5
差分低抖动晶体振荡器.....	5
DDR3 SDRAM .....	5
系统 Flash .....	5
FPGA Flash .....	5
开关、按键、LED .....	5
板对板连接器 .....	6
PIONWAY 软件.....	6
<b>使用说明</b> .....	<b>7</b>
供电.....	7
功率预算.....	7
例：XMS6301-LX150 FPGA 功耗.....	8
提供散热设计（重要！！）.....	8
HOST INTERFACE.....	8
复位机制.....	9
系统 FLASH .....	9
存储分配.....	9
FPGA FLASH.....	9
LED.....	9
DDR3 SDRAM.....	10
时钟配置（源同步）.....	11
内存控制块（MCB）.....	11
MIG 设置.....	11
JTAG.....	12
密钥存储器（仅 LX150）.....	12
易失性加密密钥存储（V <sub>BATT</sub> ）.....	12
板对板连接器.....	13
A.....	13
B.....	13
C.....	13
设置 I/O 口电压.....	13

差分信号的考虑.....	14
PCB 版本历史 .....	14
<b>XMS6301 机械图 .....</b>	<b>15</b>
<b>XMS6301 引脚快速参考 A .....</b>	<b>16</b>
<b>XMS6301 引脚快速参考 B.....</b>	<b>17</b>
<b>XMS6301 引脚快速参考 C.....</b>	<b>18</b>
<b>XMS6301 引脚快速参考外设 .....</b>	<b>19</b>

## XMS6301 概述

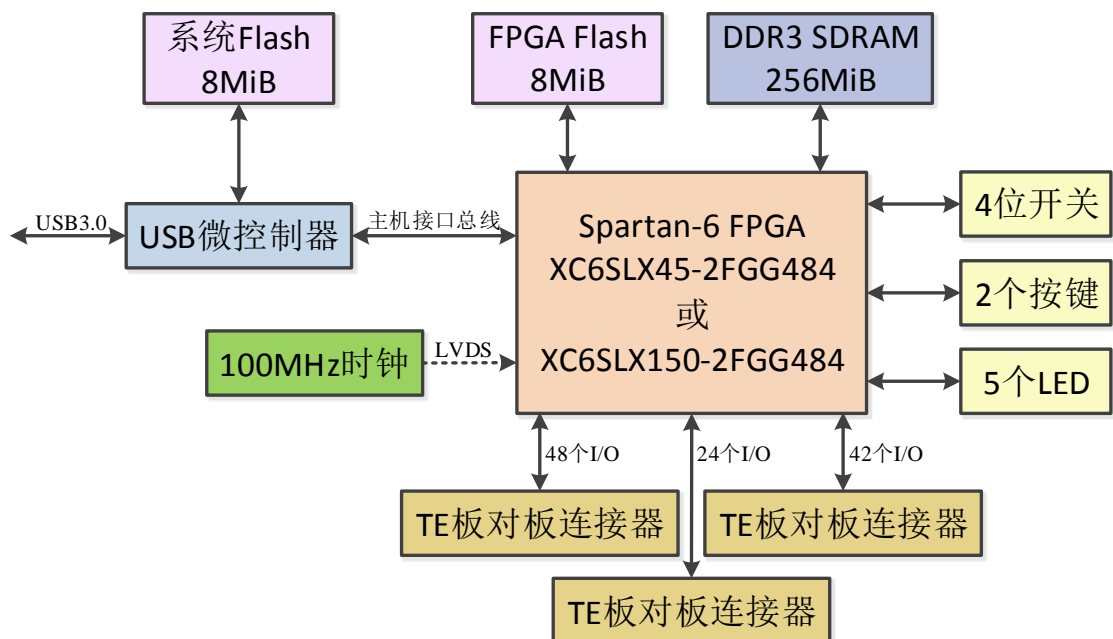
XMS6301 是一个紧凑的工业级 FPGA 模块，它的主要特点是，通过超高速 USB3.0 接口，建立了 Spartan-6 FPGA 与 PC 的数据传输通道，其中，接口使用标准的 Micro-B 连接器。板上提供了来自 FPGA 的 116 个 I/O 接口和一个用于 FPGA 的 2Gbit(128M×16-bit) DDR3 SDRAM。两个 64Mb ( 8MB ) SPI Flash 分别与 USB 接口芯片、FPGA 连接。XMS6301 上的 FPGA 有 LX45 和 LX150 可选，它能适应各种中型和大型的外部接口要求的设计应用。

### PCB 封装

XMS6301 的机械图见本手册的末尾。PCB 的尺寸为 85.5mm×54mm 板上有四个装配孔( 公制螺丝 M2.5 )。USB 连接器超出 PCB 边缘 1.49mm 以适应装配环境。

XMS6301 的底部有三个高密度( 引脚间距 0.8mm )的板对板连接器，提供许多 FPGA 引脚、电源和 JTAG 的入口。

### 功能框图



## FPGA

XMS6301 有两种型号可选。这两种型号除了 FPGA 型号不同以外，其它完全相同。下表列出了这两个型号 FPGA 的一些主要特性的对比，详细的对比请参考 Xilinx 公司提供的相关文档。

特 性	XEM6310-LX45I	XEM6310-LX150I
FPGA 型号	XC6SLX45-2FGG484I	XC6SLX150-2FGG484I
Slice 数量	6,822	23,038
D 触发器数量	54,576	184,304
分布式 RAM 大小	401 Kib	1,355 Kib
Block RAM 大小	2,088 Kib	4,824 Kib
DSP Slice 数量	58	180
时钟管理模块 ( CMT ) 数量	4	6

## 电源

XMS6301 采用 5V 电源输入，可分别通过 USB3.0 接口或板对板连接器的电源接口供电，当 USB 接口和板对板连接器的电源接口同时供电时，板上的电源自动切换电路会切断 USB 接口的电源而仅由板对板连接器的电源接口供电。5V 电源分别通过三个高效率的开关稳压器转换成 3.3V，1.8V，1.2V，每个开关稳压器最高可提供 3A 电流，三个电压轨均可输出给用户。

### 电源输入保护

XMS6301 的两个 5V 电源输入接口均具有过流过压保护功能，当输入电压在 5.4V 至 7.6V 之间的时候，电源保护电路会将电压钳位在 5.4V，超过 7.6V 的时候会停止对 XMS6301 供电，XMS6301 最大能耐受 15V 的输入电压。

USB3.0 接口的 5V 输入电流钳位在 890mA，板对板连接器的 5V 输入电流钳位在 4.1A。

## 超高速 USB 3.0 接口

XMS6301 使用 Cypress CYUSB3014-BZXI FX3 USB 微控制器实现 USB 通信，作为 USB 外设，它会被绝大部分计算机中即插即用。并且，它的数据传输速度非常快。

### ESD 保护

XMS6301 的 USB3.0 接口上增加了 ESD 保护电路，使它具有有一定的 ESD 保护能力 (IEC61000-4-2 标准下的±12KV 接触放电，±25KV 气隙放电)。

## 板上外设

XMS6301 集成了若干板上外设，可以支持常用的应用。这些板上外设如下：

### 差分低抖动晶体振荡器

XMS6301 使用一个固定频率为 100MHz 的差分低抖动差分晶体振荡器作为 FPGA 的时钟源。Integrated Phase Jitter 为 2ps，Period Jitter RMS 为 2.5ps。

FPGA 可以使用片上的 DCM 和 PLL 模块产生各种频率的时钟。

### DDR3 SDRAM

XMS6301 集成了一个 256MiB、16 位字宽的 DDR3 SDRAM，它只与 FPGA 连接，而未连接到板对板连接器上。此 SDRAM 的最大时钟频率为 400MHz 配以速度等级为 - 2 的 FPGA，SDRAM 的最大内存带宽为 10.672Gbps（最大时钟频率为 333MHz）。

DDR3 SDRAM 采用 Micron 公司的 MT41K128M16JT-125。

### 系统 Flash

一个 8MiB（64Mib）串行 flash 设备（Numonyx N25Q064A11ESE40G）为 USB 微控制器提供板上非易失性存储器，该设备用来存储设备固件和用户配置信息。

### FPGA Flash

一个 8MiB（64Mib）串行 flash 设备（Numonyx N25Q064A11ESE40G）为 FPGA 提供板上非易失性存储器，该设备专门用来存储 FPGA 的配置文件（.bit 文件）。

### 开关、按键、LED

4 位拨码开关和 2 个按键主要用于控制。5 个 LED 主要用作指示灯。

## 板对板连接器

在 XMS6301 的底部有三个高密度（引脚间距为 0.8mm）、80-pin 的板对板连接器。这三个连接器为用户提供了以下信号接入：5V 电源供电输入接口（为 XMS6301 供电）、3 个电压轨输出接口（为用户功能模块供电）、FPGA BANK0 和 BANK1 的电源输入接口、FPGA 的 JTAG 接口、FPGA 的 116 个 I/O 口（包含了 16 个 GCLK 信号输入）。

连接器的型号为 5177983-3（TE 公司），下表是与其匹配的连接器的型号以及对应的合高。

连接器型号 (TE)	合高 (mm)
5177984-3	5
5179029-3	6
5179030-3	7
5179031-3	8

## Pionway 软件

XMS6301 完全支持 Pionway SDK。目前，Pionway SDK 提供 Windows 7 平台下的 C 和 C++ 类库。

关于 Pionway SDK 的详细介绍及示例程序请查阅 Pionway SDK 相关文档。



# 使用说明

## 供电

用户可通过 USB3.0 接口或者板对板连接器上的 VCC5VD 引脚对 XMS6301 供电。其中，VCC5VD 要求电源经过滤波且稳定，输入电压范围：+4.6 至+5.4V，最大输入电流为 4.17A。

以下是板对板连接器上的其它电源接口：

- VCC3V3D 为 XMS6301 的开关稳压器的+3.3V 电源输出，最大电流为 3A。
- VCC1V8D 为 XMS6301 的开关稳压器的+1.8V 电源输出，最大电流为 3A。
- VCC1V2D 为 XMS6301 的开关稳压器的+1.2V 电源输出，最大电流为 3A。
- FPGA\_VCCO0\_IN 为 FPGA BANK0 I/O 的电压输入，输入电压范围+1.1 至+3.45V。
- FPGA\_VCCO1\_IN 为 FPGA BANK1 I/O 的电压输入，输入电压范围+1.1 至+3.45V。

## 功率预算

下表是 XMS6301 的三个电压轨的功率预算，所有数值都是各元件的数据手册中的典型值或者根据 Xilinx XPower Analyzer 软件的预估近似值，并且高度依赖于应用、速度、器件使用率等。其中，阴影框表示未连接到特定元件，空白框由用户根据使用情况填写。

另外，用户也需要对预估值（如，FPGA 的  $V_{CCO}$  值）做适当调整。

负载元件	1.2V ( mW )	1.8V ( mW )	3.3V ( mW )
100MHz OSC(FPGA)			106
DDR3		500	250
FPGA VCCINT	1,200		
FPGA VCCAUX			330
FPGA VCCO3(DDR3, 预估值)		275	
FPGA VCCO2(USB, 预估值)		250	
FPGA VCCO0,1			
总计:			
可用:	3,600	5,400	9,900

## 例：XMS6301-LX150 FPGA 功耗

下表为根据 Xilinx XPower Analyzert 计算的关于 Vccint 的功耗估算，所有数值都按照 70%~80%的利用率获得，仅供用户参考。

元件	参数	Vccint ( mW )
时钟	150 MHz GCLK - 70,000 fanout	384
时钟	100 MHz GCLK - 70,000 fanout	256
逻辑 ( DFF )	150 MHz, 70,000 DFFs	380
逻辑 ( DFF )	100 MHz, 70,000 DFFs	232
逻辑 ( LUT )	150 MHz, 32,000 组合, 1,000 SR, 1,000 RAM	287
逻辑 ( LUT )	100 MHz, 32,000 组合, 1,000 SR, 1,000 RAM	191
BRAM	18-bit, 100 @ 150 MHz, 100 @ 100 MHz	237
DSP	150 MHz, 140 slices	78
MCB	150 MHz	85
杂项	DCM, PLL 等	100
	<b>总计</b>	2,230
	<b>可用</b>	3,600

## 提供散热设计（重要！！）

由于 XMS6301 在很小的面积上提供了大量的逻辑资源，因此散热设计非常重要。发热量的大小取决于最终的应用。原则上，XMS6301 上的任何一个器件都需要增加热沉，但关注的主要对象是 FPGA 和 DDR3。虽然开关电源的效率很高，但它们非常紧凑并且占用的 PCB 面积很小，也应给予关注。

如果您计划在一个密闭环境中使用 XM6301，请务必在您的设计中考虑散热问题。

## Host Interface

板上的 USB 微控制器与 FPGA 之间共有几十根信号线，这些信号构成了 FPGA 的 Host Interface 并且用于配置下载。配置完成后，这些信号用于计算机与 FPGA 之间的通信。

如果 Pionway HOST 模块在您的设计中已被实例化，那么您必须使用 Xilinx LOC 约束管理器，将这些接口映射到特定引脚位置，您可以使用 Xilinx 约束编辑器或者在文本文件中手动编写约束文件。请参考我们提供的示例程序。

## 复位机制

在模块上电和运行过程中，供电电压监控电路检测模块上的 1.8V 的电压轨，如果小于 1.67V 的预定门限值则持续输出低电平有效的复位信号（板对板连接器 C1 的 RESET\_N）并复位 USB 控制器，当达到预定门限再过 200ms 延时后，复位信号解除。

FPGA 的复位管理由 FPGA 内部的上电复位电路（POR）来控制。

板对板连接器上的 C2 引脚的 MR\_N 信号是 USB 控制器的复位信号输入端，低电平有效，已经内部接入 1.8V 弱上拉，其最高外部输入电压不要超过 2.0V。

## 系统 Flash

该 Flash 与 USB 微控制器连接，用于存储设备固件和用户数据，并且可以通过 Pionway API 访问。该 API 有三种访问方法：FlashEraseSector，FlashWrite，FlashRead。具体使用方法请参考 Pionway SDK 用户手册和 Pionway API 参考手册。

## 存储分配

系统 Flash 的具体型号是 Numonyx 的 N25Q064A11ESE40G，它的容量是 8MiB，内部分为 128 个 64-KiB 的簇，每个簇又分为了 256 个 256 字节的页。其中第 0 至第 15 簇为系统预留使用，剩余的 7MiB 可被用户使用 Pionway API 来访问。FPGA 是否被配置并不影响系统 Flash 的使用情况。执行 Flash 写入前需要先对写入数据所在的扇区执行擦除操作，擦出操作会一次擦除一整个 64KiB 扇区。Flash 的读写操作以页为单位进行。

## FPGA Flash

连接到 FPGA 上的 Flash 的也是 Numonyx 的 N25Q064A11ESE40G（1.8V），用于存储 FPGA 的配置文件等信息。

## LED

XMS6301 有 5 个 LED（不包括电源指示灯），它们分别与 FPGA 的 5 个 I/O 口连接（具体的管脚映射参见本文档末尾的附录）。

每个 LED 的阳极都通过一个 510Ω 的上拉电阻连接到 +2.5V 电源，阴极则与 FPGA 的 BANK 1 I/O 口连接。因此，点亮 LED 需将对应的 FPGA I/O 口置低电平，关闭 LED 需将对应的 FPGA I/O 口置高电平或高阻态。

## DDR3 SDRAM

DDR3 SDRAM 只与 FPGA 的 BANK 3 I/O ( +1.5V ) 连接。以下是引脚连接列表。

DDR3 引脚	FPGA 引脚	DDR3 引脚	FPGA 引脚
CK	H4	A9	E1
CK#	H3	A10	G4
CKE	D2	A11	C1
RESET#	C3	A12	D1
ODT	J6	A13	G6
RAS#	K5	BA0	G3
CAS#	K4	BA1	G1
WE#	F2	BA2	F1
LDQS	L3	D0	N3
LDQS#	L1	D1	N1
UDQS	T2	D2	M2
UDQS#	T1	D3	M1
LDM	L4	D4	J3
UDM	M3	D5	J1
RZQ	Y2	D6	K2
ZIO	W3	D7	K1
A0	H2	D8	P2
A1	H1	D9	P1
A2	H5	D10	R3
A3	K6	D11	R1
A4	F3	D12	U3
A5	K3	D13	U1
A6	J4	D14	V2
A7	H6	D15	V1
A8	E3		

## 时钟配置（源同步）

DDR3 时钟设计为与 FPGA 源同步，即 FPGA 直接发送时钟、控制和数据信号给 DDR3，使得时钟和数据之间有非常好的同步。

## 内存控制块（MCB）

Spartan-6 集成了可以与外部 DDR3 通信的内存控制块。您可以使用 Xilinx Core Generator（Memory Interface Generator 即 MIG）生成合适的内存控制块。您需要阅读并熟悉 DDR3、MIG 和 MCB 的数据手册。虽然 MIG 可以节省很多的开发时间，理解这些信息可以使您更好地建立一个可用的 DDR3 内存接口。

XMS6301 的  $V_{CCINT}$  为 1.2V，根据 MCB 手册，速度等级为-2 的 Spartan-6 可以使 DDR3 工作频率达到 333MHz。

## MIG 设置

以下设置用于使用 Xilinx Core Generator 生成 MIG 核，您可以使用我们提供的 RAM Tester 示例程序测试 DDR3。这些设置使用的是 ISE 14.7 和 MIG 3.61。注意不同版本的 ISE 和 MIG 在设置上会略有不同。

选项	设定值
Frequency	333.33 MHz
Memory Type	Component
Memory Part	MT41J128M16xx-125(2Gb, x16)
Data Width	16
Output Driver Impedance Control	RZQ/6
RTT(nominal)	RZQ/4
Auto Self Refresh	Enabled
High-temp self-refresh	Normal
Memory Interface Pin Termination	Calibrated Input Termination
RZQ pin	Y2
ZIO pin	W3
Debug signals	Your option
System clock	Differential

## JTAG

我们将 FPGA 上的 JTAG 信号引脚直接连接到板对板连接器 C 上，便于用户通过 JTAG 仿真器进行 FPGA 配置和使用 ChipScope 软件做调试。

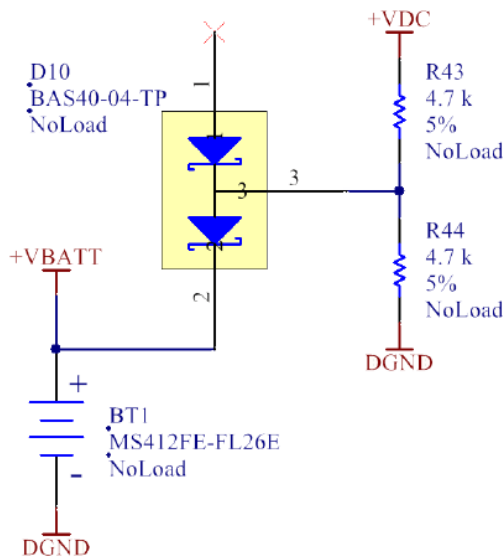
## 密钥存储器（仅 LX150）

Spartan-6 FPGA 提供了一种 AES 加密算法，用于对用户比特文件进行防复制保护。它有两种密钥存储方法：一是易失性存储，它需要一个外部电池（ $V_{BATT}$ ）做支持；二是非易失性存储，它是一次性可编程方式（eFUSE）。XMS6301 仅支持易失性存储方式。

### 易失性加密密钥存储（ $V_{BATT}$ ）

我们已将 FPGA 的  $V_{BATT}$  引脚直接连接到板对板连接器上，用户可在该引脚上直接外接一个锂电池，即可实现该密钥存储功能。为了持续使用，我们建议使用一个可再充电的锂电池。

以下是我们提供的一种可用的电路连接方式及电路中各个元件规格，供参考。



元件标识	生产商	生产商型号	描述
BT1	Seiko Instruments	MS412FE-FL26E	3V, 1mAh 锂电池
D10	Micro Commercial	BAS40-04-TP	肖特基二极管, SOT23
C150	Generic	0.1 $\mu$ F, SM-0402	去耦电容
R43, R44	Generic	4.7 k $\Omega$ , 5%, SM-0402	分压电阻

## 板对板连接器

XMS6301 有三个板对板连接器，分别为 A、B 和 C。它们是 XMS6301 与外界交互的主要接口。

### A

板对板连接器 A 共有 80 个引脚，提供 XMS6301 的 5V 电源输入口、来自 XMS6301 的 1.8V 和 1.2V 电源输出、来自 FPGA BANK 0 的 24 个 I/O 口（其中，引脚 63 可以作为 FPGA BANK 0 的 VREF 输入，引脚 64, 66, 69, 70, 71, 72 可以作为 FPGA 的 GCLK 输入口）和 FPGA BANK 0 的 VCCO 电压输入。详细的引脚映射请查看手册末尾的快速参考。

### B

板对板连接器 B 共有 80 个引脚，提供来自 XMS6301 的 3.3V 电源输出、来自 FPGA BANK 0 的 20 个 I/O 口（其中，引脚 11, 17, 20 可以作为 FPGA BANK 0 的 VREF 输入，引脚 12, 14 可以作为 FPGA 的 GCLK 输入口）和来自 FPGA BANK 1 的 28 个 I/O 口（其中，引脚 60, 62, 66, 68 可以作为 FPGA 的 GCLK 输入口）。详细的引脚映射请查看手册末尾的快速参考。

### C

板对板连接器 C 共有 80 个引脚，提供 FPGA 的 JTAG 信号输入口、来自 FPGA BANK 1 的 44 个 I/O 口（其中，引脚 40, 42, 70, 72 可以作为 FPGA 的 GCLK 输入口）、VBATT 电源输入口和 FPGA BANK 1 的 VCCO 电压输入。详细的引脚映射请查看手册末尾的快速参考。

## 设置 I/O 口电压

Spartan-6 FPGA 允许用户设置 BANK 电压以满足多种不同的 I/O 信号标准。XMS6301 允许用户通过板对板连接器设置 FPGA 的 BANK 0 和 BANK 1 的工作电压。下表是这两个 BANK 对应板对板连接器上的 VCCO 设置引脚。

I/O BANK	板对板连接器引脚
0	A-77,78,79,80
1	C-77,78,79,80

## 差分信号的考虑

XMS6301 的布局和布线在设计时兼顾了许多应用，包括差分对的使用要求。关于 Spartan-6 FPGA 的差分对标准请参考 Xilinx Spartan-6 相关数据手册。

注意：对于 Spartan-6 FPGA，仅 BANK 0 和 BANK 2 可作为 LVDS 输出，而且所有 BANK 都可作为 LVDS 输入。详情请查看 Xilinx 的 Spartan-6 FPGA SelectIO Resources User Guide。

## FPGA I/O BANK 电压

根据 Xilinx Spartan-6 相关数据手册，为了使用差分 I/O 标准，必须将对应 BANK 的 VCCO 设置为 2.5V。具体设置方法请查看以上标题为“设置 I/O 口电压”章节。

## 特性阻抗

所有从 FPGA 到板对板连接器的线路全部进行了特性阻抗控制。其中单端信号的阻抗为  $50\Omega \pm 10\%$ ，差分信号的阻抗为  $100\Omega \pm 10\%$ 。

## 信号线长度

在许多情况下，信号线的长度必须满足某个规格。我们已经对板上的所有信号线做了长度约束，单端信号之间的长度约束为  $\pm 150\text{mil}$ ，差分信号之间的长度约束为  $\pm 3\text{mil}$ ，单端和差分信号线之间的长度约束为  $\pm 150\text{mil}$ 。具体信号线的线长请查看手册末尾的快速参考。

## 参考电压引脚 ( $V_{REF}$ )

Spartan-6 FPGA 支持对于某些信号标准可以从外部输入电压阈值。XMS6310 支持设置 BANK 0 和 BANK 1 的  $V_{REF}$  值：

BANK 0 的  $V_{REF}$  可以通过板对板连接器 A 上的引脚 63 和板对板连接器 B 上的引脚 11, 17, 20 设置，这些引脚必须连接相同的电压以得到正确的电压阈值。

BANK 1 的  $V_{REF}$  可以通过板对板连接器 B 上的引脚 41, 80 和板对板连接器 C 上的引脚 66 设置，这些引脚必须连接相同的电压以得到正确的电压阈值。

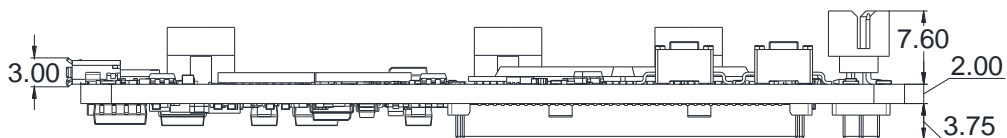
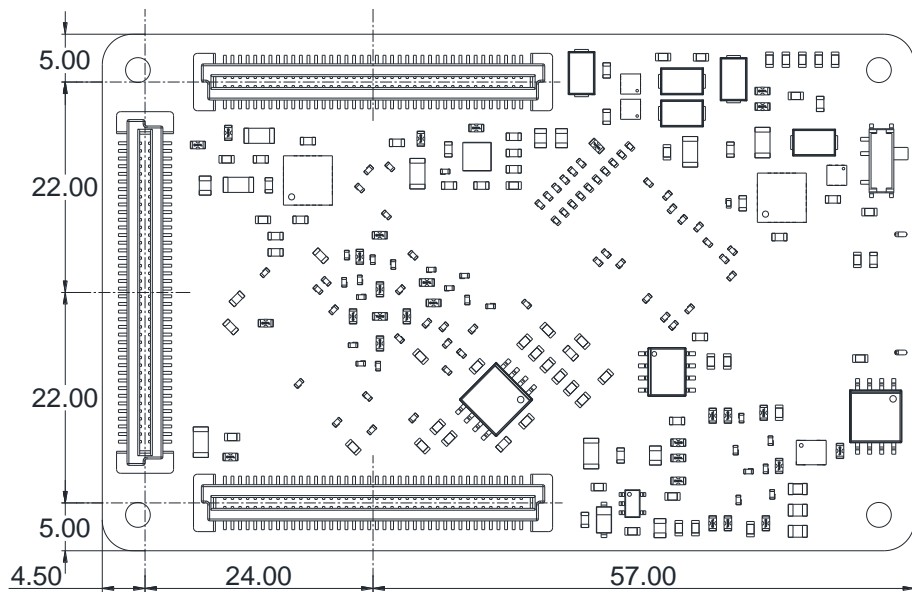
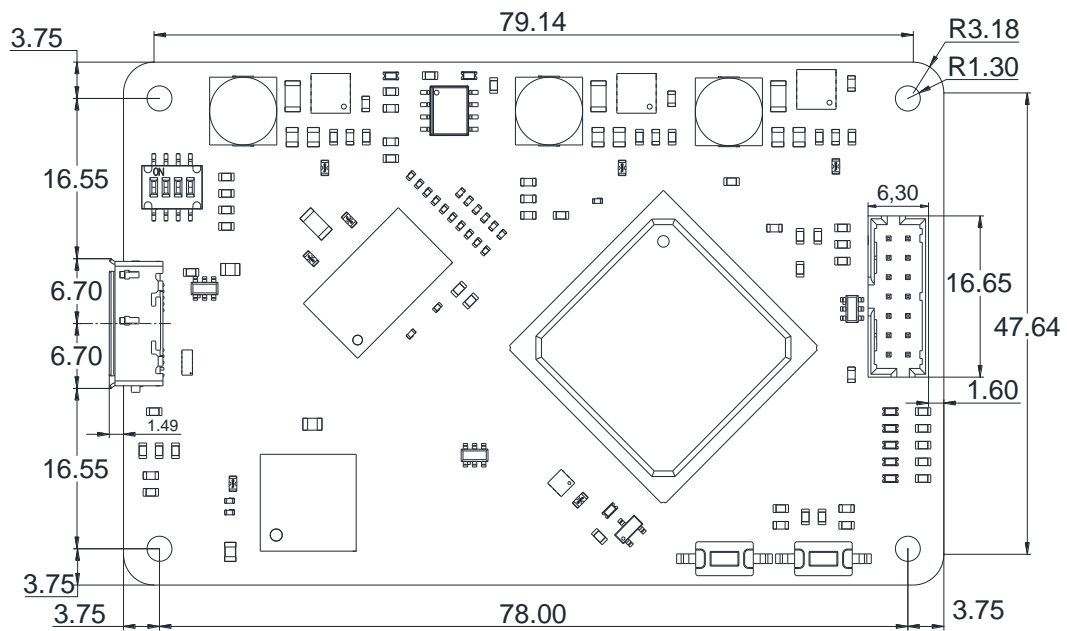
## PCB 版本历史

### 20160829

PCB REV C



# XMS6301 机械图



机械图单位为毫米 ( mm )

## XMS6301 引脚快速参考 A

CONN A 引脚	网络标识	FPGA 引脚	长度 ( mil )
1	VCC5VD		
3	VCC5VD		
5	VCC5VD		
7	VCC5VD		
9	VCC5VD		
11	DGND		
13	DGND		
15	DGND		
17	VCC1V8D		
19	VCC1V8D		
21	VCC1V8D		
23	DGND		
25	DGND		
27	VCC1V2D		
29	VCC1V2D		
31	VCC1V2D		
33	DGND		
35	DGND		
37	DGND		
39	L2P_0	C5	866.2
41	L2N_0	A5	864.6
43	DGND		
45	L4P_0	B6	864.1
47	L4N_0	A6	865.1
49	DGND		
51	L5N_0	A7	864.2
53	L5P_0	C7	864.8
55	DGND		
57	L6N_0	A8	864.9
59	L6P_0	B8	864.4
61	DGND		
63	L8N_VREF_0	A9	1003.3
65	L8P_0	C9	986.1
67	DGND		
69	L34N_GCLK18_0	A10	987.9
71	L34P_GCLK19_0	B10	971.7
73	DGND		
75	DGND		
77	FPGA_VCCO0_IN		
79	FPGA_VCCO0_IN		

CONN A 引脚	网络标识	FPGA 引脚	长度 ( mil )
2	VCC5VD		
4	VCC5VD		
6	VCC5VD		
8	VCC5VD		
10	VCC5VD		
12	DGND		
14	DGND		
16	DGND		
18	VCC1V8D		
20	VCC1V8D		
22	VCC1V8D		
24	DGND		
26	DGND		
28	VCC1V2D		
30	VCC1V2D		
32	VCC1V2D		
34	DGND		
36	DGND		
38	DGND		
40	L3P_0	D6	865.1
42	L3N_0	C6	866.6
44	DGND		
46	L32P_0	D7	881.9
48	L32N_0	D8	906.5
50	DGND		
52	L7N_0	C8	864.4
54	L7P_0	D9	864
56	DGND		
58	L33N_0	C10	866.6
60	L33P_0	D10	864.4
62	DGND		
64	L36P_GCLK15_0	D11	863.6
66	L36N_GCLK14_0	C12	864
68	DGND		
70	L37N_GCLK12_0	A12	865.3
72	L37P_GCLK13_0	B12	865.3
74	DGND		
76	DGND		
78	FPGA_VCCO0_IN		
80	FPGA_VCCO0_IN		

## XMS6301 引脚快速参考 B

CONN B 引脚	网络标识	FPGA 引脚	长度 ( mil )
1	VCC3V3D		
3	VCC3V3D		
5	VCC3V3D		
7	DGND		
9	DGND		
11	L1N_VREF_0	A4	1059.7
13	L49N_0	C14	1004.9
15	DGND		
17	L38N_VREF_0	A13	1022.3
19	L38P_0	C13	1004.8
21	DGND		
23	L50N_0	A14	865.2
25	L50P_0	B14	865.9
27	DGND		
29	L63N_0	A16	864.2
31	L63P_0	B16	864
33	DGND		
35	L65N_0	A18	863.5
37	L65P_0	B18	863.9
39	DGND		
41	L1N_VREF_1	B20	863.1
43	L1P_1	C19	1012
45	DGND		
47	L20P_1	A20	864.9
49	L20N_1	A21	863.9
51	DGND		
53	L19P_1	B21	865.7
55	L19N_1	B22	864.6
57	DGND		
59	L32P_1	C20	968.7
61	L32N_1	C22	968
63	DGND		
65	L31P_1	D21	863.7
67	L31N_1	D22	863.7
69	DGND		
71	L10P_1	F16	970.1
73	L10N_1	F17	951.9
75	DGND		
77	L37N_1	F22	989.5
79	L37P_1	F21	935.1

CONN B 引脚	网络标识	FPGA 引脚	长度 ( mil )
2	VCC3V3D		
4	VCC3V3D		
6	VCC3V3D		
8	DGND		
10	DGND		
12	L35N_GCLK16_0	A11	864
14	L35P_GCLK17_0	C11	865.1
16	DGND		
18	L62P_0	D15	865.7
20	L62N_VREF_0	C16	864.6
22	DGND		
24	L66P_0	E16	865.3
26	L66N_0	D17	865.6
28	DGND		
30	L51N_0	A15	864.3
32	L51P_0	C15	864.4
34	DGND		
36	L64N_0	A17	895.3
38	L64P_0	C17	883.1
40	DGND		
42	L35P_1	E20	998.8
44	L35N_1	E22	998.7
46	DGND		
48	L30P_1	F18	992.9
50	L30N_1	F19	973.9
52	DGND		
54	L33N_1	F20	949
56	L33P_1	G19	996.2
58	DGND		
60	L41P_GCLK9_1	H21	886.9
62	L41N_GCLK8_1	H22	966.5
64	DGND		
66	L40P_GCLK11_1	K20	919.1
68	L40N_GCLK10_1	K19	985.5
70	DGND		
72	L71P_1	M17	864.4
74	L71N_1	M18	864.1
76	DGND		
78	L53P_1	M19	998.5
80	L53N_VREF_1	N19	998.5

## XMS6301 引脚快速参考 C

CONN C 引脚	网络标识	FPGA 引脚	长度 ( mil )
1	FX3_RESET_N		
3	FPGA_TDO		
5	CABLE_TDI		
7	DGND		
9	DGND		
11	DGND		
13	DGND		
15	L49P_1	R20	1058.8
17	L49N_1	R22	942
19	DGND		
21	L47P_1	N20	1073.2
23	L47N_1	N22	957.8
25	DGND		
27	L21P_1	K16	856.1
29	L21N_1	J16	940.8
31	DGND		
33	L74N_1	T20	934.3
35	L74P_1	T19	934.1
37	DGND		
39	L72P_1	P17	929
41	VBATT		
43	DGND		
45	L73N_1	R19	966.1
47	L73P_1	P18	872.9
49	DGND		
51	L58P_1	M16	882
53	L58N_1	L15	928.4
55	DGND		
57	L61P_1	L17	928.6
59	DGND		
61	DGND		
63	L36N_1	K17	845.8
65	L36P_1	J17	847.9
67	DGND		
69	L34N_1	H18	869.2
71	L34P_1	H19	940.5
73	L9N_1	G17	928.7
75	L9P_1	G16	1020.6
77	FPGA_VCCO1_IN		
79	FPGA_VCCO1_IN		

CONN C 引脚	网络标识	FPGA 引脚	长度 ( mil )
2	SYS_RST_IN_N		
4	CABLE_TMS		
6	CABLE_TCK		
8	DGND		
10	L60N_1	W22	949.9
12	L52N_1	U22	944
14	DGND		
16	L50N_1	T22	970.9
18	L50P_1	T21	964.3
20	DGND		
22	L51N_1	U22	1013
24	L51P_1	U20	959.5
26	DGND		
28	L48P_1	P21	931.6
30	L48N_1	P22	1031.3
32	DGND		
34	L46N_1	M22	985.4
36	L46P_1	M21	985.6
38	DGND		
40	L42P_GCLK7_1	M20	980.1
42	L42N_GCLK6_1	L19	1027.9
44	DGND		
46	L45P_1	L20	941.6
48	L45N_1	L22	925.4
50	DGND		
52	L44N_1	K22	864.7
54	L44P_1	K21	864.9
56	DGND		
58	L59P_1	P19	964.9
60	L59N_1	P20	968.6
62	DGND		
64	L28P_1	H16	977.4
66	L28N_VREF_1	H17	985.4
68	DGND		
70	L43N_GCLK4_1	J22	984.7
72	L43P_GCLK5_1	J20	999.7
74	L39P_1	G20	977.2
76	L39N_1	G22	987.4
78	FPGA_VCCO1_IN		
80	FPGA_VCCO1_IN		

## XMS6301 引脚快速参考外设

网络标识	FPGA 引脚
LED1	D1
LED2	J19
LED3	H20
LED4	D19
LED5	U19
BUTTON1	U16
BUTTON2	U17
SWITCH1	D3
SWITCH2	A2
SWITCH3	B1
SWITCH4	B2